

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2
C. Ben
5/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 8月 9日

出願番号
Application Number:

特願2000-241292

出願人
Applicant(s):

富士通株式会社
富士通ヴィエルエスアイ株式会社

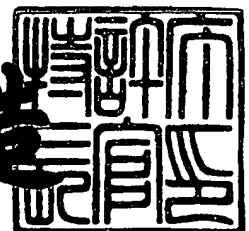


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0040251

【提出日】 平成12年 8月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28
H04L 29/08

【発明の名称】 データ転送速度の判定方法、データ転送方法及びデータ
転送装置

【請求項の数】 7

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 上野 弘貴

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8
階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送速度の判定方法、データ転送方法及びデータ転送装置

【特許請求の範囲】

【請求項 1】 クロック信号とデータ信号とが符号化されたデータについてのデータ転送速度の判定方法であって、

少なくとも前記データを複合化して得られるクロック信号に基づいて前記データの転送速度を判定するようにしたことを特徴とするデータ転送速度の判定方法

【請求項 2】 請求項 1 に記載のデータ転送速度の判定方法において、
前記転送速度の判定は、前記クロック信号に応答して記憶手段に書き込まれるデータ信号が予め定めたビット数書き込まれるのに要する時間を求め、その要する時間に基づいて転送速度を判定するようにしたことを特徴とするデータ転送速度の判定方法。

【請求項 3】 クロック信号とデータ信号とが符号化されたデータを複合化して得られるライトクロック信号に基づいて前記データ信号を記憶手段に書き込むとともに、前記ライトクロック信号に基づいて前記データの転送速度を判定し、その判定した転送速度に対応した周波数のリードクロック信号を生成し、前記記憶手段に書き込まれたデータ信号を前記リードクロック信号に応答して読み出し、その読み出されたデータ信号とリードクロック信号を符号化して出力するデータ転送方法。

【請求項 4】 請求項 3 に記載のデータ転送方法において、
前記転送速度の判定は、前記クロック信号に応答して記憶手段に書き込まれるデータ信号が予め定めたビット数書き込まれるのに要する時間を求め、その要する時間に基づいて転送速度を判定するようにしたことを特徴とするデータ転送方法。

【請求項 5】 請求項 3 又は 4 に記載のデータ転送方法において、
前記データは D S - L I N K 符号化方式にて符号化されたストロブ信号とデータ信号とに符号化されたデータであるデータ転送方法。

【請求項 6】 クロック信号とデータ信号とが符号化されたデータを入力し、データ信号とライトクロック信号を複合化する複合化回路部と、

前記複合化回路が複合化したライトクロック信号に基づいて前記データの転送速度を判定してその判定した転送速度に対応した周波数のリードクロック信号を生成する転送速度判定回路部と、

前記ライトクロック信号に応答して前記データ信号が順次書き込まれるとともに、前記リードクロック信号に応答して前記書き込まれたデータ信号がその書き込まれた順に読み出される記憶部と、

前記記憶部から順次読み出されたデータ信号と前記リードクロック信号とを符号化し、その符号化したデータを出力する符号化回路部とを備えたことを特徴とするデータ転送装置。

【請求項 7】 請求項 6 に記載のデータ転送装置において、

前記転送速度判定回路部は、

前記記憶部に設けられたライトポインタ及びリードポインタのアドレスを入力し書き込みアドレス及び読み出しアドレスを示すポインタ比較器からの比較結果に基づいて前記ライトクロック信号に応答してデータ信号が予め定めたビット数書き込まれるのに要する時間を計時するタイマ回路部と、

前記タイマ回路部の計時結果に基づいて転送速度を判定する判定回路部と、

前記判定回路部の判定結果に基づいて前記転送速度に対応した周波数のリードクロック信号を生成するクロック信号生成回路部とを備えたことを特徴とするデータ転送装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、データ転送速度の判定方法、データ転送方法及びデータ転送装置に係り、詳しくは I E E E 1 3 9 4 に準拠したインタフェース装置に好適なデータ転送速度の判定方法、データ転送方法及びデータ転送装置に関するものである。

【 0 0 0 2 】

【従来の技術】

マルチメディア化に伴って、パーソナルコンピュータと周辺機器との間でのデータ転送量の増大化及び転送速度の高速化が求められている。特に、大量の音声データや、画像データを扱うデジタルカメラ、デジタルVTR、カラーページプリンタ等の周辺機器とパーソナルコンピュータ間のインタフェースについては、さらなる転送速度の高速化が求められている。この高速データ転送のインタフェースの規格としてIEEE 1394プロトコルが知られている。このIEEE 1394プロトコルは、ディジチェーン型やスター型といったように自由度の高いバストポロジが構築できる点でも優れている。

【0003】

ところで、IEEE 1394プロトコルの転送フォーマットは、DS-LINK (Data-Strobe Link) 符号化方式が採用されている。DS-LINK符号化方式は、クロック信号とデータ信号をデータストロブ信号に符号化するものであって、データが連続して同じ値を出力する場合にストロブ信号の値を変化させるようにしてデータが連続していることを示すようにしている。そして、この符号化されたデータとストロブ信号を排他的論理和をとることによりクロック信号を得ることができる。

【0004】

又、IEEE 1394プロトコルのデータ転送速度は、100Mbps、200Mbps、400Mbpsの3つの転送速度が規格されている。

従って、3つの転送速度が規格されているため、装置間でデータ転送を行う際、データ（パケット）を送信する度に、相手の装置に対してスピードシグナリングといって自身の転送速度を通知する。転送速度の通知を受けた装置は、受信したデータ（パケット）をその通知を受けた転送速度で次の装置にリピート転送する。

【0005】

詳述すると、スピードシグナリングは、1394ケーブル中のストロブ信号を流す信号線にバイアス信号を出力するものである。このバイアス信号は、データ（パケット）を送信する前の一定期間（データプリフィックス（data prefix）期間）に出力され、そのレベル値（アナログ値）によって100Mbps、2

0 0 M b p s、4 0 0 M b p s の 3 つの転送速度のうちの 1 つが指定される。そして、受信側のノードは、このバイアス信号のレベル値（アナログ値）を検出することによって転送速度を認識する。

【0 0 0 6】

【発明が解決しようとする課題】

ところで、転送速度の情報はアナログレベルのシビアな判定が必要となるため、電源が安定していない等、使用環境が良好でない場合には誤判定するおそれがある。誤判定した場合、データの受信を正常に行うことができずデータの欠損につながる。

【0 0 0 7】

又、バイアス信号のアナログレベルを検出するために、回路規模の大きいアナログ・デジタル変換回路等の回路を必要とするため、各装置のインタフェース制御装置に実装される半導体集積回路装置の大型化につながっていた。

【0 0 0 8】

さらに、I E E E 1 3 9 4 では、前記したように転送速度の異なる全てのデータを受信することができるための転送速度のネゴシエーションを行うため、転送効率をあげる上で妨げとなる。

【0 0 0 9】

本発明の目的は、小さな回路規模で、しかも、使用環境に左右されることなく転送速度の情報を確実に判定することができるデータ転送速度の判定方法、データ転送方法及びデータ転送装置を提供することにある。

【0 0 1 0】

さらに、第 2 の目的は、I E E E 1 3 9 4 のプロトコルを乱すことなく、転送効率をあげることでできるデータ転送速度の判定方法、データ転送方法及びデータ転送装置を提供することにある。

【0 0 1 1】

【課題を解決するための手段】

請求項 1 に記載の発明は、クロック信号とデータ信号とが符号化されたデータについてのデータ転送速度の判定方法であって、少なくとも前記データを複合化

して得られるクロック信号に基づいて前記データの転送速度を判定するようにした。

【 0 0 1 2 】

請求項 2 に記載の発明は、請求項 1 に記載のデータ転送速度の判定方法において、前記転送速度の判定は、前記クロック信号に応答して記憶手段に書き込まれるデータ信号が予め定めたビット数書き込まれるのに要する時間を求め、その要する時間に基づいて転送速度を判定するようにした。

【 0 0 1 3 】

請求項 3 に記載の発明は、クロック信号とデータ信号とが符号化されたデータを複合化して得られるライトクロック信号に基づいて前記データ信号を記憶手段に書き込むとともに、前記ライトクロック信号に基づいて前記データの転送速度を判定し、その判定した転送速度に対応した周波数のリードクロック信号を生成し、前記記憶手段に書き込まれたデータ信号を前記リードクロック信号に응答して読み出し、その読み出されたデータ信号とリードクロック信号を符号化して出力するデータ転送方法をその要旨とする。

【 0 0 1 4 】

請求項 4 に記載の発明は、請求項 3 に記載のデータ転送方法において、前記転送速度の判定は、前記クロック信号に응答して記憶手段に書き込まれるデータ信号が予め定めたビット数書き込まれるのに要する時間を求め、その要する時間に基づいて転送速度を判定するようにした。

【 0 0 1 5 】

請求項 5 に記載の発明は、請求項 3 又は 4 に記載のデータ転送方法において、前記データが D S - L I N K 符号化方式にてストロブ信号とデータ信号とに符号化されたデータである。

【 0 0 1 6 】

請求項 6 に記載の発明は、クロック信号とデータ信号とが符号化されたデータを入力し、データ信号とライトクロック信号を複合化する複合化回路部と、前記複合化回路が複合化したライトクロック信号に基づいて前記データの転送速度を判定してその判定した転送速度に対応した周波数のリードクロック信号を生成す

る転送速度判定回路部と、前記ライトクロック信号に応答して前記データ信号が順次書き込まれるとともに、前記リードクロック信号に応答して前記書き込まれたデータ信号がその書き込まれた順に読み出される記憶部と、前記記憶部から順次読み出されたデータ信号と前記リードクロック信号とを符号化し、その符号化したデータを出力する符号化回路部とを備えたデータ転送装置をその要旨とする。

【0017】

請求項7に記載の発明は、請求項6に記載のデータ転送装置において、前記転送速度判定回路部は、前記記憶部に設けられたライトポインタ及びリードポインタのアドレスを入力し書き込みアドレス及び読み出しアドレスを示すポインタ比較器からの比較結果に基づいて前記ライトクロック信号に応答してデータ信号が予め定めたビット数書き込まれるのに要する時間を計時するタイマ回路部と、前記タイマ回路部の計時結果に基づいて転送速度を判定する判定回路部と、前記判定回路部の判定結果に基づいて前記転送速度に対応した周波数のリードクロック信号を生成するクロック信号生成回路部とを備えた。

【0018】

(作用)

請求項1の記載の発明によれば、データを複合化して得られるクロック信号を計時すれば符号化されたデータの転送速度を判定することができることから、アナログ値によって転送速度を判定するのにくらべて、使用環境に左右されることなく転送速度の情報を確実に判定することができる。

【0019】

請求項2に記載の発明によれば、前記クロック信号に応答して記憶手段に書き込まれるデータ信号が予め定めたビット数書き込まれるのに要する時間を求め、その要する時間に基づいて転送速度を判定することができることから、アナログ値によって転送速度を判定するより、使用環境に左右されることなく転送速度の情報を確実に判定することができる。

【0020】

請求項3～5の記載の発明によれば、ライトクロック信号に基づいて前記符号

化されたデータの転送速度を判定し、その判定した転送速度に対応した周波数のリードクロック信号を生成し、前記記憶手段に書き込まれたデータ信号を前記リードクロック信号に応答して読み出し、その読み出されたデータ信号とリードクロック信号を符号化して出力することから、例えば、IEEE 1394におけるスピードシグナリングを省略してリピート転送を行うことができる。その結果、IEEE 1394のようなスピードシグナリングのフェーズが不要となることから転送効率をあげることができる。

【 0 0 2 1 】

請求項6の記載の発明によれば、複合化回路部は符号化されたデータを入力し、そのデータに基づいてデータ信号とライトクロック信号とに複合する。転送速度判定回路部は、その複合化回路が複合化したライトクロック信号に基づいて前記データの転送速度を判定してその判定した転送速度に対応した周波数のリードクロック信号を生成する。記憶部は、ライトクロック信号に応答して前記データ信号が順次書き込まれるとともに、前記リードクロック信号に応答して前記書き込まれたデータ信号がその書き込まれた順に読み出される。符号化回路部は、記憶部から順次読み出されたデータ信号と前記リードクロック信号とを符号化し、その符号化したデータを出力する。従って、アナログ値によって転送速度を判定するのにくらべて、使用環境に左右されることなく転送速度の情報を確実に判定することができるとともに、例えば、IEEE 1394におけるスピードシグナリングを省略してリピート転送を行うことができることから、転送効率をあげることができる。

【 0 0 2 2 】

請求項7の記載の発明によれば、タイマ回路部は記憶部に設けられたポインタ比較器からの比較結果に基づいてライトクロック信号に応答してデータ信号が予め定めたビット数書き込まれるのに要する時間を計時する。そして、判定回路部が前記タイマ回路部の計時結果に基づいて転送速度を判定すると、クロック信号生成回路部はその判定回路部の判定結果に基づいて転送速度に対応した周波数のリードクロック信号を生成する。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明を具体化した一実施形態を図面に従って説明する。

図 1 は、IEEE 1394 のプロトコルに準拠したデータ転送を行うシステム構成図である。このシステムは、パーソナルコンピュータ 1、デジタルビデオカメラ 2、プリンタ 3 で構成されている。各装置 1～3 は IEEE 1394 のプロトコルに準拠したデータ転送を可能にするためのインタフェース装置を備え、これら各装置 1～3 は IEEE 1394 バスケーブル 4、5 を介して接続されていてディジチェーン型のバストポロジを構築している。詳述すると、パーソナルコンピュータ 1 の第 1 入出力ポート 1 a とデジタルビデオカメラ 2 の入出力ポート 2 a とがバスケーブル 4 を介して接続され、パーソナルコンピュータ 1 の第 2 入出力ポート 1 b とプリンタ 3 の入出力ポート 3 a がバスケーブル 5 を介して接続されている。

【0024】

次に、各装置 1～3 の IEEE 1394 のプロトコルに準拠したデータ転送を可能にするためのインタフェース装置について説明する。尚、本実施形態では、各装置 1～3 のインタフェース装置は共に同じ構成としたので、説明の便宜上、パーソナルコンピュータ 1 のインタフェース装置について説明する。

【0025】

図 2 は、パーソナルコンピュータ 1 のインタフェース装置 10 の一部ブロック回路を示す。

図 2 において、インタフェース装置 10 の物理層処理部 11 には、複合化回路及び符号化回路としての第 1 及び第 2 DS デコーダ・エンコーダ 12、13 及びデータ転送速度制御回路 14 を備えている。

【0026】

第 1 DS デコーダ・エンコーダ 12 は第 1 入出力ポート 1 a を介してバスケーブル 4 と接続され、前記デジタルビデオカメラ 2 との間でデータの授受を行う。第 1 DS デコーダ・エンコーダ 12 はデジタルビデオカメラ 2 からの DS-LINK (Data-Strobe Link) 符号化方式で符号化されたデータ (データ信号とストローブ信号) を入力して、ライトクロック信号としての DS クロック信号 CL1

及びデータ信号D 1 を生成（複合）してデータ転送速度制御回路 1 4 に出力する。

【 0 0 2 7 】

又、第 1 D S デコーダ・エンコーダ 1 2 は、データ転送速度制御回路 1 4 から出力されたリードデータ信号D 2 とリードクロック信号C L 2 を入力するとともに、図示しない内部ロジック回路部にて生成されたリードデータ信号D 2 とリードクロック信号C L 2 を入力する。そして、第 1 D S デコーダ・エンコーダ 1 2 は、このリードデータ信号D 2 とリードクロック信号C L 2 をD S - L I N K （Data-Strobe Link）符号化方式にてデータ信号及びストロブ信号とからなるデータに符号化してバスケーブル 4 を介してデジタルビデオカメラ 2 に出力する。

【 0 0 2 8 】

第 2 D S デコーダ・エンコーダ 1 3 は第 2 入出力ポート 1 b を介してバスケーブル 5 と接続され、前記プリンタ 3 との間でデータの授受を行う。第 2 D S デコーダ・エンコーダ 1 3 はプリンタ 3 からのD S - L I N K （Data-Strobe Link）符号化方式で符号化されたデータ（データ信号とストロブ信号）を入力して、D S クロック信号C L 1 及びD S データ信号D 1 を生成（複合）してデータ転送速度制御回路 1 4 に出力する。

【 0 0 2 9 】

又、第 2 D S デコーダ・エンコーダ 1 3 は、データ転送速度制御回路 1 4 から出力されたリードデータ信号D 2 とリードクロック信号C L 2 を入力するとともに、図示しない内部ロジック回路部にて生成されたリードデータ信号D 2 とリードクロック信号C L 2 を入力する。そして、第 2 D S デコーダ・エンコーダ 1 3 は、このリードデータ信号D 2 とリードクロック信号C L 2 をD S - L I N K （Data-Strobe Link）符号化方式にてデータ信号及びストロブ信号とからなるデータに符号化してバスケーブル 5 を介してプリンタ 3 に出力する。

【 0 0 3 0 】

つまり、デジタルビデオカメラ 2 からプリンタ 3 に転送されるデータ信号及びストロブ信号は、パーソナルコンピュータ 1 のインタフェース装置 1 0 を介して、即ち、第 1 D S デコーダ・エンコーダ 1 2、データ転送速度制御回路 1 4 及

び第2DSデコーダ・エンコーダ13を介してリピート転送される。

【0031】

又、プリンタ3からデジタルビデオカメラ2に転送されるデータ信号及びストロブ信号は、パーソナルコンピュータ1のインタフェース装置10を介して、即ち、第2DSデコーダ・エンコーダ13、データ転送速度制御回路14及び第1DSデコーダ・エンコーダ12を介してリピート転送される。

【0032】

さらに、デジタルビデオカメラ2からパーソナルコンピュータ1に転送されるデータ信号及びストロブ信号は、パーソナルコンピュータ1のインタフェース装置10を介して、即ち、第1DSデコーダ・エンコーダ12及びデータ転送速度制御回路14を介してリードデータ信号D2及びリードクロック信号CL2となって図示しない内部ロジック回路部に出力される。反対に、パーソナルコンピュータ1からデジタルビデオカメラ2に転送されるリードデータ信号D2及びリードクロック信号CL2は、パーソナルコンピュータ1のインタフェース装置10を介して、即ち、第1DSデコーダ・エンコーダ12を介してデータ信号及びストロブ信号となってデジタルビデオカメラ2に転送される。

【0033】

さらに又、プリンタ3からパーソナルコンピュータ1に転送されるデータ信号及びストロブ信号は、パーソナルコンピュータ1のインタフェース装置10を介して、即ち、第2DSデコーダ・エンコーダ13及びデータ転送速度制御回路14を介してリードデータ信号D2及びリードクロック信号CL2となって図示しない内部ロジック回路部に出力される。反対に、パーソナルコンピュータ1からプリンタ3に転送されるリードデータ信号D2及びリードクロック信号CL2は、パーソナルコンピュータ1のインタフェース装置10を介して、即ち、第2DSデコーダ・エンコーダ13を介してデータ信号及びストロブ信号となってプリンタ3に転送される。

【0034】

次に、データ転送速度制御回路14について図3に従って説明する。データ転送速度制御回路14は、発振回路21、FIFO回路部22、タイマ回路部23

、判定回路部 2 4 及びクロック信号生成回路部 2 5 を備えている。尚、本実施形態では、タイマ回路部 2 3、判定回路部 2 4 及びクロック信号生成回路部 2 5 を転送速度判定回路部としている。又、F I F O 回路部 2 2 を記憶手段及び記憶部としている。

【0035】

発振回路 2 1 は、4 0 0 M H z の基本クロック信号 C L X を生成する発振回路であって、タイマ回路部 2 3 及びクロック信号生成回路部 2 5 に出力される。

F I F O 回路部 2 2 は、第 1 及び第 2 D S デコーダ・エンコーダ 1 2, 1 3 からの D S クロック信号 C L 1 及び D S データ信号 D 1 を入力する。F I F O 回路部 2 2 は、D S クロック信号 C L 1 に応答して D S データ信号 D 1 を 1 ビットずつ順次取り込む。つまり、図 8 に示すように、D S クロック信号 C L 1 及び D S データ信号 D 1 の信号が入力されと、ステップ 1 0 1, 1 0 2 に従って、F I F O 回路部 2 2 は D S クロック信号 C L 1 及び D S データ信号 D 1 がなくなるまで書き込み動作を行う。

【0036】

又、F I F O 回路部 2 2 は、リードクロック信号 C L 2 を入力する。F I F O 回路部 2 2 は、リードクロック信号 C L 2 に応答して前記 D S クロック信号 C L 1 に応答して順次取り込んだ D S データ信号 D 1 を書き込んだ順に 1 ビットずつ読み出しリードデータ信号 D 2 として出力する。

【0037】

図 4 は、F I F O 回路部 2 2 の回路構成を示すブロック図である。F I F O 回路部 2 2 はメモリセル 3 1、ライトポインタ 3 2、リードポインタ 3 3 を備えている。ライトポインタ 3 2 は、D S クロック信号 C L 1 に応答してメモリセル 3 1 の書き込みアドレスをシフトする。メモリセル 3 1 は、ライトポインタ 3 2 が D S クロック信号 C L 1 に応答してポインタアドレスがシフトされる毎にその時の 1 ビットの D S データ信号 D 1 を、該シフトしたポインタアドレスに書き込む。

【0038】

一方、リードポインタ 3 3 は、リードクロック信号 C L 2 に応答してメモリセ

ル 3 1 の読み出しアドレスをシフトする。メモリセル 3 1 は、リードポインタ 3 3 がリードクロック信号 C L 2 に応答してポインタアドレスがシフトされる毎にそのシフトしたポインタアドレスに書き込まれた 1 ビットの D S データ信号 D 1 をリードデータ信号 D 2 として読み出す。

【 0 0 3 9 】

F I F O 回路部 2 2 は、検出回路としてのポインタ比較器 3 4 を有している。ポインタ比較器 3 4 は、ライトポインタ 3 2 が指しているポインタアドレスとリードポインタ 3 3 が指しているポインタアドレスを入力しその時々メモリセル 3 1 の D S データ信号 D 1 の書き込み状況と読み出し状況を把握する。

【 0 0 4 0 】

又、ポインタ比較器 3 4 は、送信側のデジタルビデオカメラ 2（又は、プリンタ 3）から転送され書き込まれる D S データ信号 D 1 のビット数を計測する。詳述すると、メモリセル 3 1 に D S データ信号 D 1 が書き込まれていない状態であって、ライトポインタ 3 2 とリードポインタ 3 3 のポイントアドレスが一致している状態において、第 1 D S デコーダ・エンコーダ 1 2（又は、第 2 D S デコーダ・エンコーダ 1 3）を介して新たにデジタルビデオカメラ 2（又は、プリンタ 3）からの D S データ信号 D 1 が D S クロック信号 C L 1 とともに入力されると、ポインタ比較器 3 4 は、図 6 に示すように、低電位（L レベル）のタイマコントロール信号 T E を出力する。そして、D S データ信号 D 1 が D S クロック信号 C L 1 に基づいて順次書き込まれていく。尚、この時、リードクロック信号 C L 2 は出力されておらず、リードポインタ 3 3 は停止している。

【 0 0 4 1 】

やがて、D S データ信号 D 1 が 8 ビット書き込まれると（ライトポインタ 3 2 とリードポインタ 3 3 のポイントアドレスの差が「8」になると）、ポインタ比較器 3 4 はタイマコントロール信号 T E を L レベルから高電位（H レベル）に立ち上げるようになっている。つまり、ポインタ比較器 3 4 は、D S データ信号 D 1 が 8 ビット書き込まれる間、L レベルのタイマコントロール信号 T E を出力し続ける。

【 0 0 4 2 】

F I F O回路部 2 2 のポインタ比較器 3 4 から出力されるタイマコントロール信号 T E は、タイマ回路部 2 3 に出力される。タイマ回路部 2 3 は、発振回路 2 1 からの 4 0 0 M H z の基本クロック信号 C L X をタイマコントロール信号 T E に基づいてカウント動作を行う。詳述すると、タイマ回路部 2 3 は、タイマコントロール信号 T E が L レベルに立ち下がるとリセットし基本クロック信号 C L X のカウントを開始し、図 8 のステップ 1 0 3, 1 0 4 に示すようにタイマコントロール信号 T E が L レベルに立ち上がるとカウント動作を終了しその時のカウント値 X を出力する。つまり、タイマ回路部 2 3 は、前記 D S クロック信号 C L 1 に応答して 8 ビットの D S データ信号 D 1 がメモリセル 3 1 に書き込まれるのに要する時間（カウント値 X）を計時する。

【 0 0 4 3 】

タイマ回路部 2 3 のカウント値 X は、判定回路部 2 4 に出力される。判定回路部 2 4 は、カウント値 X に基づいて送信側のデジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度を判定する。本実施形態では、判定回路部 2 4 は、カウント値 X が「1 0」未満のとき、転送速度が 4 0 0 M H z と判定する。又、判定回路部 2 4 は、カウント値 X が「1 0」以上「1 8」未満のとき、転送速度が 2 0 0 M H z と判定する。さらに、判定回路部 2 4 は、カウント値 X が「1 8」以上のとき、転送速度が 1 0 0 M H z と判定する。なお、判定回路部 2 4 は、判定値は予め用意された判定テーブルに記憶されていて、この判定値に基づいて判定が行われる。

【 0 0 4 4 】

ところで、判定回路部 2 4 の判定は、例えば、カウント値 X が「9」、「8」、又は「7」であっても転送速度が 4 0 0 M H z と判定、即ち、一定の範囲内に属するカウント値 X は 1 つの判定値（転送速度）にまとめている。つまり、D S クロック信号 C L 1 に応答して書き込まれる D S データ信号 D 1 の転送速度が 4 0 0 M H z であるならば、カウント値 X は「8」である。同様に、D S データ信号 D 1 の転送速度が 2 0 0 M H z であるならばカウント値 X は図 6 に示すように「1 6」となり、D S データ信号 D 1 の転送速度が 1 0 0 M H z であるならばカウント値 X は「3 2」となる。しかしながら、デジタルビデオカメラ 2（又は、

プリンタ 3) が、自身の転送速度 (例えば 4 0 0 M H z の転送速度) でデータ信号及びストロブ信号を送信する際に、何らかの原因で転送速度 4 0 0 M H z より若干速くなったり、遅くなったりする場合がある。このように転送速度が若干速くなったり、遅くなったりする場合に、カウント値 X が「8」にならず、判定できない場合が生ずる。そこで、本実施形態では、転送速度の若干速くなったり、遅くなっても誤判定とせずに判定できるように、ある程度余裕を持たせている。

【0045】

図 7 は、その判定回路部 2 4 の回路構成を示すブロック回路図である。図 7 において、判定回路部 2 4 は、比較値設定回路 4 0、第 1 及び第 2 比較回路 4 1、4 2、エンコーダ 4 3 を備えている。比較値設定回路 4 0 は前記カウント値 X と比較するための第 1 比較値 Z 1 と第 2 比較値 Z 2 を設定しそれぞれ第 1 及び第 2 比較回路 4 1、4 2 に出力する。本実施形態では、第 1 比較値 Z 1 の値を「10」とし、第 2 比較値 Z 2 の値を「18」としている。

【0046】

第 1 比較回路 4 1 は、前記タイマ回路部 2 3 のカウント値 X を入力するとともに、比較値設定回路 4 0 から第 1 比較値 Z 1 を入力する。第 1 比較回路 4 1 はカウント値 X と第 1 比較値 Z 1 の大小を比較し、カウント値 X が第 1 比較値 Z 1 未満のとき ($X < Z 1$)、L レベルの信号を出力する。反対に、第 1 比較回路 4 1 は、カウント値 X が第 1 比較値 Z 1 以上のとき ($X \geq Z 1$)、H レベルの信号を出力する。

【0047】

第 2 比較回路 4 2 は、前記タイマ回路部 2 3 のカウント値 X を入力するとともに、比較値設定回路 4 0 から第 2 比較値 Z 2 を入力する。第 2 比較回路 4 2 はカウント値 X と第 2 比較値 Z 2 の大小を比較し、カウント値 X が第 2 比較値 Z 2 未満のとき ($X < Z 2$)、L レベルの信号を出力する。反対に、第 2 比較回路 4 2 は、カウント値 X が第 2 比較値 Z 2 以上のとき ($X \geq Z 2$)、H レベルの信号を出力する。

【0048】

エンコーダ 4 3 は、第 1 及び第 2 比較回路 4 1, 4 2 からの信号を入力し、同信号に基づいて転送速度を判定し判定結果 Y を出力する。詳述すると、エンコーダ 4 3 は、第 1 及び第 2 比較回路 4 1, 4 2 からの信号が共に H レベルの時、転送速度が 4 0 0 M H z とする判定結果 Y を出力する。又、エンコーダ 4 3 は、第 1 比較回路 4 1 の信号が H レベルであって第 2 比較回路 4 2 の信号が L レベルの時、転送速度が 2 0 0 M H z とする判定結果 Y を出力する。さらに、エンコーダ 4 3 は、第 1 及び第 2 比較回路 4 1, 4 2 からの信号が共に L レベルの時、転送速度が 1 0 0 M H z とする判定結果 Y を出力する。

【 0 0 4 9 】

判定回路部 2 4 の判定結果 Y は、クロック信号生成回路部 2 5 に出力される。クロック信号生成回路部 2 5 は、発振回路 2 1 からの 4 0 0 M H z の基本クロック信号 C L X を判定結果 Y に基づいて分周して、リードクロック信号 C L 2 として出力する。つまり、判定結果 Y が、1 0 0 M H z の場合には基本クロック信号 C L X を $1/4$ に分周して 1 0 0 M H z のリードクロック信号 C L 2 を生成する。又、2 0 0 M H z の場合には基本クロック信号 C L X を $1/2$ に分周して 2 0 0 M H z のリードクロック信号 C L 2 を生成する。さらに、4 0 0 M H z の場合には基本クロック信号 C L X を分周しないでそのまま 4 0 0 M H z のリードクロック信号 C L 2 として出力する。つまり、クロック信号生成回路部 2 5 は、送信側のデジタルビデオカメラ 2 (又は、プリンタ 3) が規定した転送速度の周波数のリードクロック信号 C L 2 を生成する。

【 0 0 5 0 】

図 5 は、クロック信号生成回路部 2 5 の回路構成を示すブロック図である。クロック信号生成回路部 2 5 は、 $1/4$ 分周器 3 5、 $1/2$ 分周器 3 6 及び選択回路 3 7 を備えている。 $1/4$ 分周器 3 5 は、4 0 0 M H z の基本クロック信号 C L X を入力し該基本クロック信号 C L X を $1/4$ に分周して選択回路 3 7 に入力する。 $1/2$ 分周器 3 6 は、4 0 0 M H z の基本クロック信号 C L X を入力し該基本クロック信号 C L X を $1/2$ に分周して選択回路 3 7 に入力する。

【 0 0 5 1 】

選択回路 3 7 は、前記分周器 3 5, 3 6 からの信号の他に、基本クロック信号

C L X を直接入力するとともに、判定回路部 2 4 からの判定結果 Y を入力する。選択回路 3 7 は、判定結果 Y に基づいて分周器 3 5, 3 6 からの信号または基本クロック信号 C L X のいずれか 1 つをリードクロック信号 C L 2 として選択し出力する。なお、選択回路 3 7 は、前記メモリセル 3 1 に D S データ信号 D 1 が書き込まれていない状態であって、ライトポインタ 3 2 とリードポインタ 3 3 のポインタアドレスが一致している状態においては、いずれの信号も選択し出力しないようになっていて、判定回路部 2 4 から新たな判定結果 Y が出力されるまで待機状態になっている。

【 0 0 5 2 】

従って、メモリセル 3 1 に D S データ信号 D 1 が書き込まれていない状態であって、ライトポインタ 3 2 とリードポインタ 3 3 のポインタアドレスが一致している状態から、デジタルビデオカメラ 2 (又は、プリンタ 3) からの D S データ信号 D 1 が 8 ビット書き込まれた後に、図 8 のステップ 1 0 5 に示すように、選択されたリードクロック信号 C L 2 が F I F O 回路部 2 2 に出力される。つまり、デジタルビデオカメラ 2 (又は、プリンタ 3) からの D S データ信号 D 1 が 8 ビット書き込まれた後に、F I F O 回路部 2 2 から送信側ノードの転送速度で読み出しが開始されることになる。

【 0 0 5 3 】

F I F O 回路部 2 2 から読み出されたリードデータ信号 D 2 は、これがリピート転送の場合には、第 1 D S デコーダ・エンコーダ 1 2 (又は、第 2 D S デコーダ・エンコーダ 1 3) にリードクロック信号 C L 2 とともに出力される。つまり、転送先がデジタルビデオカメラ 2 であるならば、リードデータ信号 D 2 及びリードクロック信号 C L 2 は第 1 D S デコーダ・エンコーダ 1 2 に出力される。転送先がプリンタ 3 であるならば、リードデータ信号 D 2 及びリードクロック信号 C L 2 は第 2 D S デコーダ・エンコーダ 1 3 に出力される。

【 0 0 5 4 】

第 1 及び第 2 D S デコーダ・エンコーダ 1 2, 1 3 は、このリードデータ信号 D 2 とリードクロック信号 C L 2 を D S - L I N K (Data-Strobe Link) 符号化方式で符号化し、その符号化されたデータ信号とストロブ信号を転送先のデジ

タルビデオカメラ 2（又は、プリンタ 3）に送信される。

【0055】

次に、上記のように構成した実施形態の特徴を以下に記載する。

（1）上記実施形態では、送信側のデジタルビデオカメラ 2（又は、プリンタ 3）から送信されたデータ信号とストローブ信号から得られた DS クロック信号 CL 1 と DS データ信号 D 1 について同 DS データ信号 D 1 が DS クロック信号 CL 1 に応答して 8 ビット書き込まれるのに要する時間を計時しその時間（カウント値 X）に基づいてデジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度を認識するようにした。

【0056】

従って、IEEE 1394 のプロトコルにおいて、スピードシグナリングのためにデータ信号を送信する前の一定期間（データプリフィックス（data prefix）期間）に出力されるバイアス信号のレベル値（アナログ値）を検出しなくてもデジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度を認識することができる。

【0057】

しかも、デジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度を認識すると、直ちに該転送速度のリードクロック信号 CL 2 が生成され、リードクロック信号 CL 2 に基づいて DS データ信号 D 1 が読み出され第 1 DS デコーダ・エンコーダ 1 2（又は、第 2 DS デコーダ・エンコーダ 1 3）を介して次の転送先に送信される。従って、IEEE 1394 のリピート転送において、送信側のデジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度で次の転送先にデータ信号を送信することができる。

【0058】

又、トポロジ上の全ての装置が本実施形態のインタフェース装置 1 0 を備え、その複数の装置間で IEEE 1394 のプロトコルに準拠してデータ転送を行う場合、IEEE 1394 におけるスピードシグナリングを省略でき本実施形態のようなデータ転送速度の認識を行ってリピート転送を行うことができる。その結果、IEEE 1394 におけるスピードシグナリングのフェーズが不要となるた

め、転送効率をあげることができる。

【 0 0 5 9 】

(2) 上記実施形態では、バイアス信号のレベル値（アナログ値）を検出しなくても送信側のデジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度を認識することができることから、バイアス信号のアナログレベルを検出するために、回路規模の大きいアナログ・デジタル変換回路等の回路を必要としない。従って、パーソナルコンピュータ 1、デジタルビデオカメラ 2 及びプリンタ 3 のインタフェース制御装置に実装される半導体集積回路装置を小型化することができる。

【 0 0 6 0 】

(3) 上記実施形態では、DS クロック信号 CL 1 に応答して DS データ信号 D 1 が 8 ビット書き込まれるのに要する時間を計時しその時間（カウント値 X）に基づいて送信側のデジタルビデオカメラ 2（又は、プリンタ 3）のデータ転送速度を認識する。つまり、送信側のデジタルビデオカメラ 2（又は、プリンタ 3）から出力される DS - L I N K 符号化方式にて符号化されたデータ信号とストローブ信号に基づいて実際の転送速度を計時してデータ転送速度を認識するようにした。従って、I E E E 1 3 9 4 のプロトコルにおけるバイアス信号のアナログレベルの判定に比べて、使用環境に左右されることなく転送速度の情報を確実かつ正確に判定することができる。

【 0 0 6 1 】

(4) 上記実施形態では、F I F O 回路部 2 2 に付帯するその時々メモリセル 3 1 への DS データ信号 D 1 の書き込み状況と読み出し状況を把握するポインタ比較器 3 4 を使用して、DS クロック信号 CL 1 に応答して F I F O 回路部 2 2 に DS データ信号 D 1 が 8 ビット書き込まれる期間を示す L レベルのタイマコントロール信号 T E を生成するようにしたので、タイマコントロール信号 T E を生成するための専用回路を設けるのに比べてその分だけ回路規模を小さくできる。

【 0 0 6 2 】

(5) 上記実施形態では、タイマ回路部 2 3 は、既存の発振回路 2 1 から出力

される 4 0 0 M H z の基本クロック信号 C L X をカウントして 8 ビット書き込まれるに要する時間を計時するようにしたので、専用のクロック信号を生成する発振回路を設けない分だけ回路規模を小さくできる。

【 0 0 6 3 】

(6) 上記実施形態では、クロック信号生成回路部 2 5 にて、4 0 0 M H z の基本クロック信号 C L X から 4 0 0 M H z のリードクロック信号 C L 2 の他に、2 0 0 M H z と 1 0 0 M H z のリードクロック信号 C L 2 を生成するようにしたので、それぞれ周波数毎に独立した発振回路を設けなくて済み回路規模を小さくできる。

【 0 0 6 4 】

(7) 上記実施形態では、判定回路部 2 4 の判定は、一定の範囲内に属するカウント値 X を 1 つの判定値 (転送速度) にまとめるようにした。つまり、カウント値 X が 1 0 未満のときは転送速度が 4 0 0 M H z 、カウント値 X が 1 0 以上 1 8 未満のときには転送速度が 2 0 0 M H z 、カウント値 X が 1 8 以上のときには転送速度が 1 0 0 M H z と判定するようにした。従って、送信側ノードの転送速度が、何らかの原因で転送速度が若干変動しても判定不能や誤判定とせずに確実に判定できる。

【 0 0 6 5 】

発明の実施の形態は、上記実施形態に限定されるものではなく、以下のように変更して実施してもよい。

○ 上記実施形態では、D S データ信号 D 1 が 8 ビット書き込まれるのに要する時間を計時するようにしたが、4 ビット、6 ビット等、8 ビット未満のビット数で実施してもよい。この場合、判定時間が速くなる。

【 0 0 6 6 】

又、本実施形態では、転送される D S データ信号 D 1 (パケット) の最小単位が 8 ビットである。パケット中の全てのデータについて確実に計時できる最大のビット数であるが、1 つのパケットが 8 ビット以上の D S データ信号 D 1 が常に転送されることが保証されているならば、8 ビットより大きなビット数でもよい。

【0067】

○上記実施形態では、DSデータ信号D1が8ビット書き込まれるまでをポインタ比較器34にて特定したが、DSクロック信号CL1をカウントするカウンタを設けて、そのカウンタが所定のクロック数カウントするまでの間、タイマ回路部23をカウント動作させるようにして実施してもよい。要は、送信側の装置から出力されるDS-LINK符号化方式にて符号化されたデータ信号とストローブ信号に基づいて実際の転送速度を計時できればどんな方法でもよい。

【0068】

○上記実施形態では、タイマ回路部23は400MHzの基本クロック信号CLXをカウントしたが、400MHzのクロック信号に限らず、400MHzのより低い、例えば200MHz、100MHz等のクロック信号、反対に400MHzのより高い、例えば500MHz、600MHz等のクロック信号を使用して実施してもよい。

【0069】

○上記実施形態では、ポインタ比較器22、タイマ回路部23及び判定回路部24を設けてデータ転送速度を判定するようにしたが、これをソフトウェアでデータ転送速度を判定するようにしてもよい。例えば、予め記憶装置にカウント時間Xに対する判定結果Yのデータを記憶しておき、タイマ回路部23から出力されたカウント時間Xに対してプログラムに従って記憶装置に記憶したカウント時間Xに対する判定結果Yのデータの中から対応する判定結果Yを読み出すようにする。

【0070】

【発明の効果】

請求項1～7に記載の発明によれば、小さな回路規模で、しかも、使用環境に左右されることなく転送速度の情報を確実に判定することができるとともに、IEEE1394のプロトコルを乱すことなく、転送効率をあげることができる。

【図面の簡単な説明】

【図1】一実施形態を説明するためのシステム構成図

【図2】パーソナルコンピュータのインタフェース装置の要部ブロック回路

図

【図 3】 データ転送速度制御回路の回路構成を示すブロック回路図

【図 4】 F I F O 回路部の回路構成を示すブロック回路図

【図 5】 クロック信号生成回路部の回路構成を示すブロック回路図

【図 6】 F I F O 回路部の動作を説明するためのタイミングチャート

【図 7】 判定回路部の回路構成を示すブロック回路図

【図 8】 データ転送速度制御回路の動作を説明するためのフローチャート

【符号の説明】

- 1 パーソナルコンピュータ
- 2 デジタルビデオカメラ
- 3 プリンタ
- 4, 5 バスケーブル
- 10 インタフェース装置
- 11 物理層処理部
- 12 第1DSデコーダ・エンコーダ
- 13 第2DSデコーダ・エンコーダ
- 14 データ転送速度制御回路
- 21 発振回路
- 22 F I F O 回路部
- 23 タイマ回路部
- 24 判定回路部
- 25 クロック信号生成回路部
- 31 メモリセル
- 32 ライトポインタ
- 33 リードポインタ
- 34 ポインタ比較器
- 35 1/4分周器
- 36 1/2分周器
- 37 選択回路

CL1 DSクロック信号

D1 DSデータ信号

D2 リードデータ信号

CL2 リードクロック信号

CLX 基本クロック信号

TE タイマコントロール信号

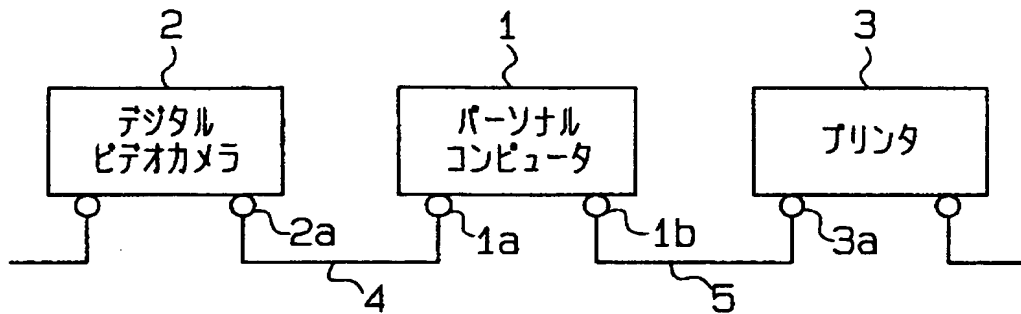
X カウント値

Y 判定結果

【書類名】 図面

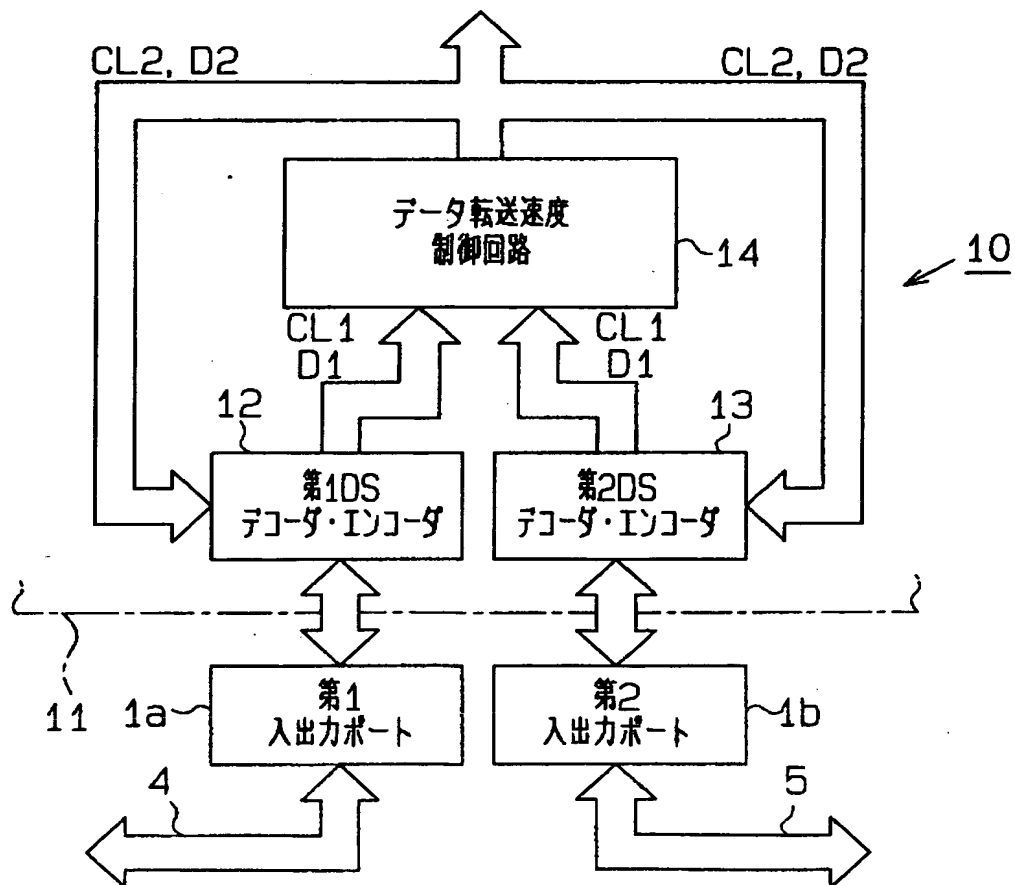
【図 1】

一実施形態を説明するためのシステム構成図



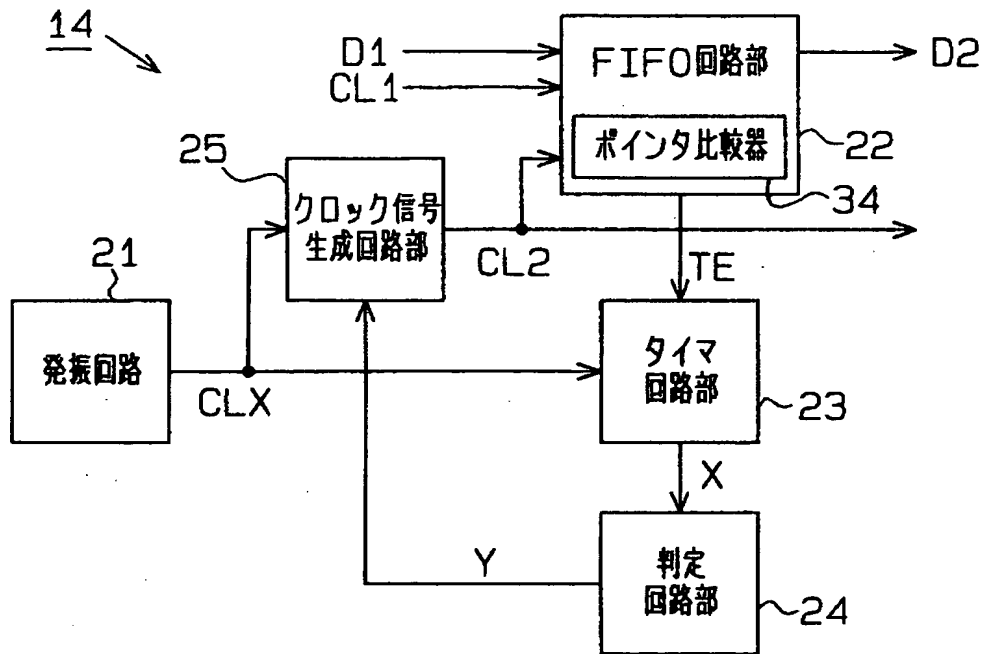
【図 2】

パーソナルコンピュータのインタフェース装置の要部ブロック回路図



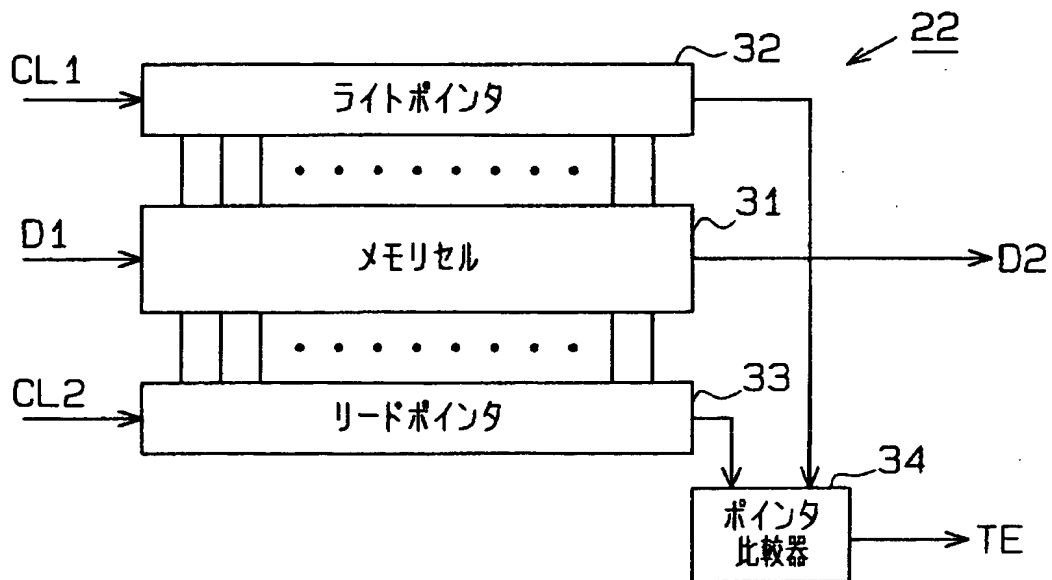
【図 3】

データ転送速度制御回路の回路構成を示すブロック回路図



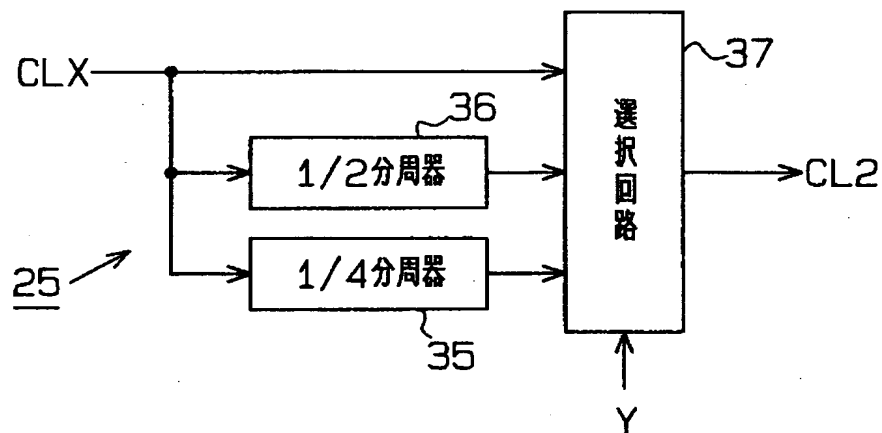
【図 4】

FIFO回路部の回路構成を示すブロック回路図



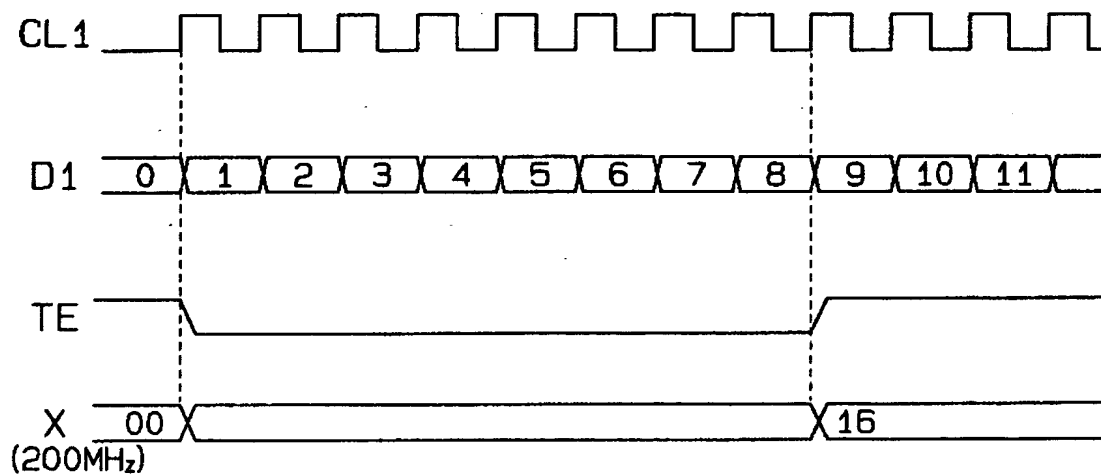
【図 5】

クロック信号生成回路部の回路構成を示すブロック回路図



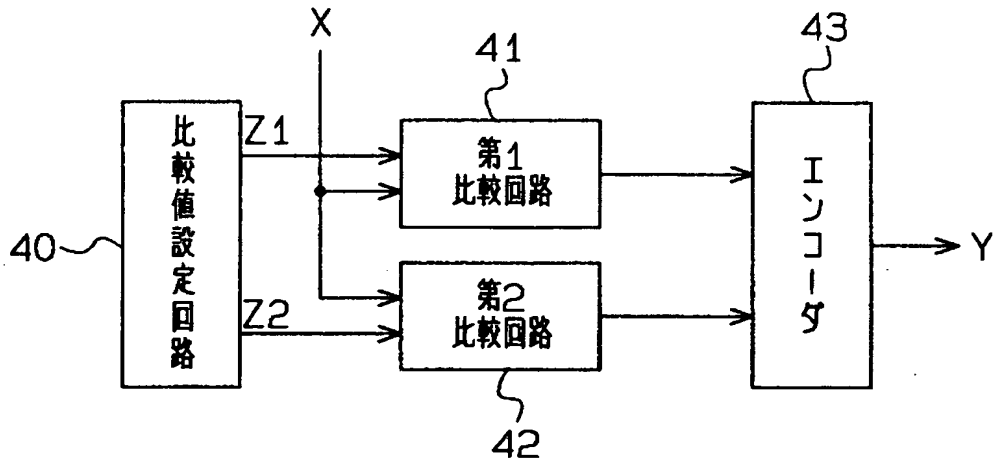
【図 6】

FIFO回路部の動作を説明するためのタイミングチャート



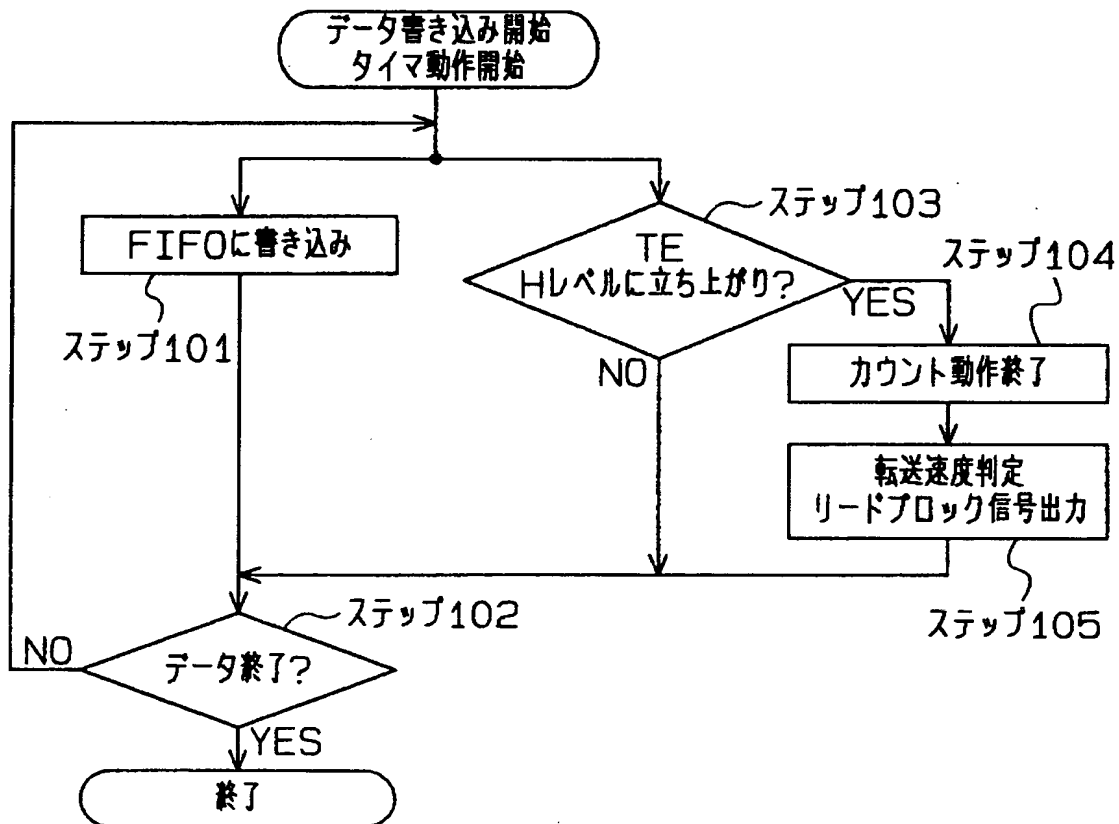
【図 7】

判定回路部の回路構成を示すブロック回路図



【図 8】

データ転送速度制御回路の動作を説明するためのフローチャート



【書類名】 要約書

【要約】

【課題】 小さな回路規模で、しかも、使用環境に左右されることなく転送速度の情報を確実に判定する。

【解決手段】 F I F O回路部 2 2 に設けられたポインタ比較器 3 4 はライトクロック信号 C L 1 に応答してデータ信号 D 1 が F I F O回路部 2 2 に同 8 ビット数書き込まれるまでの期間を示すタイマコントロール信号 T E をタイマ回路部 2 3 に出力する。タイマ回路部 2 3 は、タイマコントロール信号 T E に基づいてデータ信号 D 1 が 8 ビット数書き込まれるのに要する時間を計時する。判定回路部 2 4 はタイマ回路部 2 3 のカウント値 X に基づいて転送速度を判定する。クロック信号生成回路部 2 5 は、判定回路部 2 4 の判定結果 Y に基づいて転送速度に対応した周波数のリードクロック信号 C L 2 を生成する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日
[変更理由] 新規登録
住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社